

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005年12月22日 (22.12.2005)

PCT

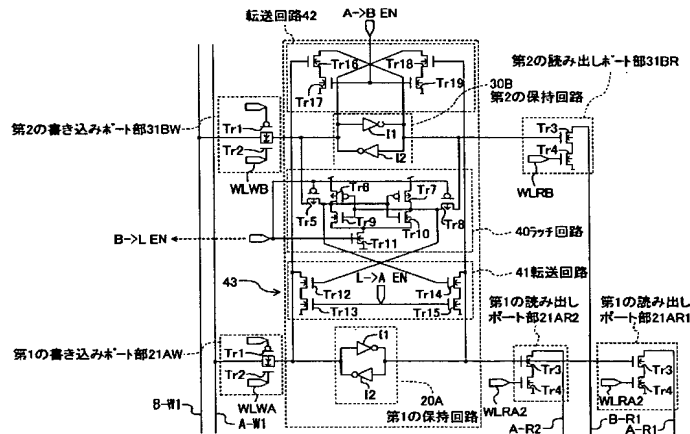
(10) 国際公開番号
WO 2005/122177 A1

- (51) 国際特許分類: G11C 11/41, G06F 9/38, G11C 11/412, H01L 21/8244, 27/10, 27/11
- (21) 国際出願番号: PCT/JP2005/010473
- (22) 国際出願日: 2005年6月8日 (08.06.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-171853 2004年6月9日 (09.06.2004) JP
特願2005-028766 2005年2月4日 (04.02.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 炭田 昌哉 (SUMITA, Masaya).
- (74) 代理人: 前田 弘, 外(MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町 2 丁目 5 番 7 号 大阪丸紅ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 半導体集積回路



31BW... SECOND WRITE PORT PART	40 ... LATCH CIRCUIT
21AW... FIRST WRITE PORT PART	41 ... TRANSFER CIRCUIT
42 ... TRANSFER CIRCUIT	21AR2... FIRST READ PORT PART
31BR... SECOND READ PORT PART	21AR1... FIRST READ PORT PART
30B ... SECOND HOLDING CIRCUIT	20A ... FIRST HOLDING CIRCUIT

(57) Abstract: In a semiconductor integrated circuit having a multi-port register file, a first holding circuit (20A) is dedicated to a first function block having a first write port part (21AW) and two first read port parts (21AR1, 21AR2). A second holding circuit (30B) is dedicated to a second function block having a second write port part (31AW) and a second read port part (31BR). When there occurs a need of reading the held data of the first holding circuit (20A) via, for example, the second read port part (31BR), the data of the second holding circuit (30B) is latched by a latch circuit (40), thereafter the data of the first holding circuit (20A) is transferred to the second holding circuit (30B), and then the data of the second holding circuit (30B) latched by the latch circuit (40) is transferred to the first holding circuit (20A), thereby exchanging the data. Accordingly, the area required for the register file can be significantly reduced.

[続葉有]



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 多ポート構成のレジスタファイルを有する半導体集積回路において、第1の保持回路20Aは、1つの第1の書き込みポート部21AW及び2つの第1の読み出しポート部21AR1、21AR2を持つ第1の機能ブロックに専用である。第2の保持回路30Bは、1つの第2の書き込みポート部31AW及び1つの第2の読み出しポート部31BRを持つ第2の機能ブロックに専用である。第1の保持回路20Aの保持データを例えば第2の読み出しポート部31BRから読み出す必要が生じた際には、第2の保持回路30Bのデータをラッチ回路40にラッチした後、第1の保持回路20Aのデータを第2の保持回路30Bに転送し、続いて前記ラッチ回路40にラッチした第2の保持回路30Bのデータを第1の保持回路20Aに転送して、データの入れ替えを行う。従って、レジスタファイルの必要面積が大幅に削減される。